

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

DIALOG(R)File 351:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

010756710 **Image available**

WPI Acc No: 1996-253665/199626

XRPX Acc No: N96-213243

**Surface conduction type electron emitting element substrate for planar
image forming device - has wiring line formed on insulation film and film
thickness of wiring is thinner than that of wiring in intersection part**

Patent Assignee: CANON KK (CANO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 8007745	A	19960112	JP 94132715	A	19940615	199626 B

Priority Applications (No Type Date): JP 94132715 A 19940615

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 8007745	A		11 H01J-001/30	

Abstract (Basic): JP 8007745 A

The substrate (501) has a sequence wiring (502) and a supplement wiring (502a). An insulation film (503) is formed on the sequence wiring. A wiring direction line (504) is formed on the insulation film. An element electrode (505) is formed along the direction of the wiring line, sequentially. The film thickness of the wiring is thinner than the film thickness of the wiring in the intersection part.

USE/ADVANTAGE - For display device. Controls height difference of line direction and wiring surface position. Reduces thickness of deposition wiring film.

Dwg.4/14

Title Terms: SURFACE; CONDUCTING; TYPE; ELECTRON; EMIT; ELEMENT; SUBSTRATE;
PLANE; IMAGE; FORMING; DEVICE; WIRE; LINE; FORMING; INSULATE; FILM; FILM;
THICK; WIRE; THINNER; WIRE; INTERSECT; PART

Derwent Class: V05

International Patent Class (Main): H01J-001/30

International Patent Class (Additional): H01J-009/02; H01J-031/12

File Segment: EPI

Manual Codes (EPI/S-X): V05-D01C5; V05-D05C5A

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 J	1/30	B		
	9/02	B		
	31/12	B		

審査請求 未請求 請求項の数5 O L (全 11 頁)

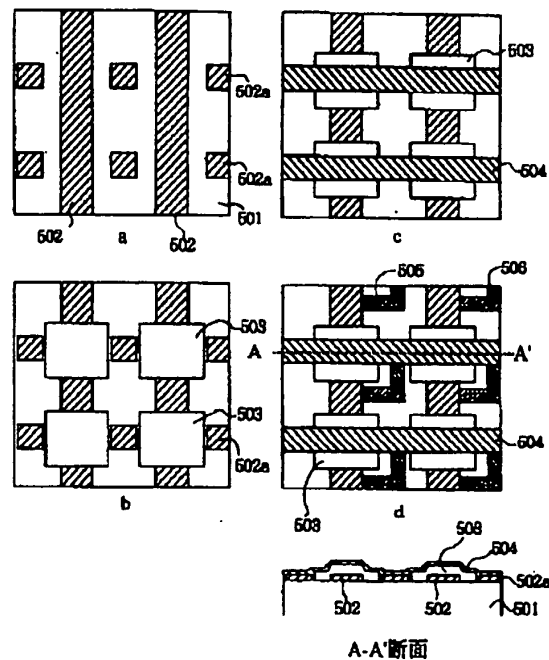
(21)出願番号	特願平6-132715	(71)出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成6年(1994)6月15日	(72)発明者	川崎 秀司 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72)発明者	新部 正人 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(74)代理人	弁理士 若林 忠

(54)【発明の名称】 電子放出素子基板、その製造方法、及び同基板を組込んだ画像形成装置

(57)【要約】

【目的】 行方向及び列方向配線の高低差を抑制し、ステップカバレッジの高い電子放出素子基板を提供する。

【構成】 基板501に列配線502及び補充配線502aを形成し(a)、行、列配線の交差予定部に絶縁材料503を設け(b)、次いで行方向配線504を形成し(c)、最後に素子電極505、電子放出部を含む薄膜506を形成する。



【特許請求の範囲】

【請求項1】 m本の行方向配線およびn本の列方向配線（但し、m、nは自然数で、同一でも異なっているとも良い）と、

素子電極および電子放出部を含む薄膜を有すると共に該行方向配線及び列方向配線と接続された表面伝導型電子放出素子とを基板上に形成してなる表面伝導型電子放出素子基板において、

該行方向配線と該列方向配線とが絶縁膜を介する交差部を有し、かつ該交差部において少なくともいずれかの配線の膜厚が該交差部以外の該配線の膜厚より薄いことを特徴とする表面伝導型電子放出素子基板。

【請求項2】 交差部における配線の膜厚と該絶縁膜の膜厚とを合わせた膜厚が該交差部以外の該配線の膜厚の0.7～1.3倍である請求項1に記載の表面伝導型電子放出素子基板。

【請求項3】 該交差部において行方向配線の少なくとも一部及び列方向配線の少なくとも一部が該絶縁膜と基板との間に配置されている請求項1に記載の表面伝導型電子放出素子基板。

【請求項4】 請求項1に記載の表面伝導型電子放出素子基板を組込んでなることを特徴とする平面型画像形成装置。

【請求項5】 m本の行方向配線およびn本の列方向配線（但し、m、nは自然数で、同一でも異なっているとも良い）と、

素子電極および電子放出部を含む薄膜を有すると共に該行方向配線及び列方向配線と接続された表面伝導型電子放出素子とを基板上に形成してなる表面伝導型電子放出素子基板の製造方法において、該行方向配線および列方向配線の交差部以外の行方向配線又は列方向配線を形成する部分に予め列方向配線の一部あるいは行方向配線の一部を形成する工程を含むことを、特徴とする表面伝導型電子放出素子基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、表面伝導型電子放出素子基板、その製造方法、及び同基板を組込んだ平面型画像形成装置に関するものである。

【0002】

【従来の技術】従来、表示装置等に利用される電子放出素子として熱電子源と冷陰極電子源の二種類が知られている。冷陰極電子線には電界放電型（以下FEと略す）、金属／絶縁層／金属型（以下MIMと略す）や表面伝導型電子放出素子（以下SCEと略す）等がある。

【0003】FE型の例としては、W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956) 等が知られている。

【0004】MIM型の例としては、C. A. Mea

d, "The tunnel-emission amplifier, J. Appl. Phys. 32, 646 (1961) や C. A. Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248, (1976) 等が知られている。

【0005】SCE型の例としては、M. I. Elinson, Radio Eng. Electron Phys., 10, (1965) 等がある。

【0006】SCEは、基板上に形成された小面積の薄膜の膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。

【0007】この表面伝導型電子放出素子としては、前記エリンソン等によるSnO₂ 薄膜を用いたもの、Au 薄膜によるもの〔G. Dittmer: "Thin Solid Films", 9, 317 (1972)〕、In₂O₃ / SnO₂ 薄膜によるもの〔M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519 (1975)〕、カーボン薄膜によるもの〔荒木久 他: 真空、第26巻、第1号、22 (1983)〕等が報告されている。

【0008】これらの表面伝導型電子放出素子の典型的な素子構成として、前述のM. ハートウエルの素子構成を図7に示す。

【0009】同図において701は絶縁性基板である。704は電子放出部を含む薄膜である。スパッタで形成されたH型形状金属酸化物薄膜等からなる電子放出部形成用薄膜を、後述のフォーミングと呼ばれる通電処理することにより電子放出部703が形成されている。また、図中の素子の長さL1はおよそ0.5mmから1mm、素子の幅W2は約0.1mmである。従来、これらの表面伝導型放出素子においては、電子放出を行う前に電子放出部形成用薄膜を予めフォーミングと呼ばれる通電処理によって電子放出部703を形成するのが一般的であった。

【0010】即ち、フォーミングとは前記電子放出部形成用薄膜の両端に電圧を印加通電し、電子放出部形成用薄膜を局所的に破壊、変形もしくは変質せしめ、電氣的に高抵抗な状態にした電子放出部703を形成することである。

【0011】尚、電子放出部703は電子放出部形成用薄膜の一部に亀裂が発生しその亀裂付近から電子放出が行なわれる場合もある。

【0012】以下フォーミングにより発生した電子放出部703を含む電子放出部形成用薄膜を電子放出部を含む薄膜704と呼ぶ。前記フォーミング処理をした表面伝導型電子放出素子は上述電子放出部を含む薄膜704

に電圧を印加し、素子表面に電流を流すことにより、上述電子放出部703より電子を放出せしめるものである。

【0013】図8は本出願人らにより提案された表面伝導型電子放出素子の構成を示す。(特開平2-56822)同図において801は絶縁性基板、805と806は素子電極、804は電子放出部を含む薄膜、803は電子放出部である。電子放出部を含む薄膜804のうち電子放出部803としては粒径が数十オングストロームの導電性微粒子からなり、これ以外の電子放出部を含む薄膜804は微粒子膜からなる。なおここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは重なり合った状態(島状も含む)の膜をさす。またこれとは別に電子放出部を含む薄膜804は、導電性微粒子が分散されたカーボン薄膜等の場合がある。

【0014】電子放出部を含む薄膜804の材料の具体例を挙げるならばPt、Pd、Ru、Ag、Au、Ti、In、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属、PdO、SnO₂、In₂O₃、PbO、Sb₂O₃等の酸化物、HfB₂、ZrB₂、LaB₆、CeB₆、YB₄、Gd₂B₄等の硼化物、TiC、ZrC、HfC、TaC、SiC、WC等の炭化物、TiN、ZrN、HfN等の窒化物、Si、Ge等の半導体、カーボン、AgMg、NiCu等がある。

【0015】電子放出部を含む薄膜804は真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピナー法等によって形成される。

【0016】また、本出願人らは、前記表面伝導型電子放出素子を用いた電子源や画像形成装置も提案した(USP5066883)。図9は前記表面伝導型電子放出素子を配置した画像形成装置の斜視図を示す。基板901上に設けた複数の電子放出素子はそれぞれ2本の配線、例えばDr2とD12に並列接続されている。電子放出素子904を作成した基板の上方には電子通過孔905を有する変調電極906が電子放出素子の配線903と直交して配置してある。

【0017】また、画像形成装置の断面図を図10に示す。ここで、901は基板、1002は素子電極、1013は配線、1005は絶縁膜、906は変調電極、905は電子通過孔、1003は電子放出部を含む薄膜を示す。

【0018】次に表面伝導型電子放出素子基板の製造工程の概略を図11を用いて以下に記す。

【0019】工程-a 基板901上にホトリソグラフィ技術によりレジストパターン1117を形成し、素子電極1118を形成する。素子電極材料としては、導電性を有するものであれば使用できる。

【0020】工程-b リフトオフによって不要部分の

素子電極材料を除去する。

【0021】工程-c 電極1118上にマスクとなる層1119を積層・パターンニングし、その上に電子放出部形成用薄膜1104を形成する。

【0022】工程-d 電子放出部形成用薄膜1104をリフトオフによって不要の部分を除去することにより電子放出部を含む薄膜1003を形成する。

【0023】工程-e 配線903を真空蒸着技術、ホトリソグラフィ技術により形成する。配線材には通常電極材として用いられるものであればよい。

【0024】工程-f 変調電極を支持するための絶縁膜1105を形成し、変調電極906を真空蒸着技術により形成する。

【0025】工程-g 絶縁層1105、変調電極906をホトリソグラフィ技術、エッチング技術により、不要部分を取り去り、電子放出部を含む薄膜1003を露出させる。

【0026】

【発明が解決しようとする課題】しかしながら、本出願人が、提案した表面伝導型電子放出素子を複数設置した電子源及び該電子源と対向した位置に蛍光体を配置した該表示装置等の画像形成装置(図9)においても、多数素子を並列に配列した素子の配線(行方向配線)と直交する方向(列方向配線)にグリッドを設ける事が、電子を放出する素子を選択するためには、必須であり、簡易な構成でかつ容易に、電子を放出する素子を選択し、その電子放出量を制御し得る電子源ではなかった。また、該電子源と対向した位置に配置された蛍光体を、選択的に制御された明るさで発光せしめるには、グリッドが必須であり、簡易な構成でかつ容易に、電子を放出する素子を選択し、その電子放出量を制御し、蛍光体の輝度を制御でき得る表示装置等の画像形成装置ではなかった。

【0027】

【課題を解決するための手段】上記問題を解決するための本発明は、m本の行方向配線およびn本の列方向配線(但し、m、nは自然数で、同一でも異なっても良い)と、素子電極および電子放出部を含む薄膜を有すると共に該行方向配線及び列方向配線と接続された表面伝導型電子放出素子とを基板上に形成してなる表面伝導型電子放出素子基板において、該行方向配線と該列方向配線とが絶縁膜を介する交差部を有し、かつ該交差部において少なくともいずれかの配線の膜厚が該交差部以外の該配線の膜厚より薄いことを特徴とする表面伝導型電子放出素子基板で、交差部における配線の膜厚と該絶縁膜の膜厚とを合わせた膜厚が該交差部以外の該配線の膜厚の0.7~1.3倍であること、該交差部において行方向配線の少なくとも一部及び列方向配線の少なくとも一部が該絶縁膜と基板との間に配置されていることを含む。

【0028】また本発明は上記の表面伝導型電子放出素

子基板を組込んでなる平面型画像形成装置である。

【0029】また更に本発明は、 m 本の行方向配線および n 本の列方向配線（但し、 m 、 n は自然数で、同一でも異なっても良い）と、素子電極および電子放出部を含む薄膜を有すると共に該行方向配線及び列方向配線と接続された表面伝導型電子放出素子を基板上に形成してなる表面伝導型電子放出素子基板の製造方法において、該行方向配線および列方向配線の交差部以外の行方向配線又は列方向配線を形成する部分に予め列方向配線の一部あるいは行方向配線の一部を形成する工程を含むことを特徴とする表面伝導型電子放出素子基板の製造方法である。

【0030】本発明の素子基板は上記のように構成することにより、グリッド電極を必要とせず、前述のグリッド電極にともなう問題が解決され、製法が簡略化され、安価でかつ簡易な構成の電子放出素子が提供できるとともに、配線表面位置の高低差が緩和され、製造プロセスにおける段差によるパターン欠陥を抑制できる。

【0031】また、該交差部において行方向配線の少なくとも一部及び列方向配線の少なくとも一部は該絶縁膜と基板との間に配置することにより絶縁膜端部における配線の断線が抑制でき歩留まりが向上する。あるいは、交差部における配線の膜厚と該絶縁膜の膜厚とを合わせた膜厚が該交差部以外の該配線の膜厚とほぼ等しいことにより絶縁膜端部における配線の断線が抑制できる。また、前述の表面伝導型電子放出素子を用いて、平面型画像形成装置を形成することにより安価でかつ簡易な構成の平面型画像形成装置を提供できる。

【0032】更に、本発明方法によれば、グリッド電極にともなう歩留まりの低下を抑制できるとともに、配線の断線欠陥を抑制できる容易な製造方法を提供できる。

【0033】本発明による画像形成装置の実施態様について以下に説明する。図1にマトリックス状配線基板の配線構成図を、図2に画像形成装置の構成図を示す。

【0034】図1において101は石英ガラス、 Na などの不純物含有量を減少したガラス、青板ガラス、 SiO_2 を積層した青板などのガラス基板およびアルミナなどのセラミックス基板などの絶縁性基板、102は Ni 、 Cr 、 Au 、 Mo 、 W 、 Pt 、 Ti 、 Al 、 Cu 、 Pd などの金属あるいは合金および Pd 、 Ag 、 Au 、 RuO_2 、 Pd-Ag などの金属あるいは金属酸化物とガラスなどから構成される印刷導体、 In_2O_3 、 SnO_2 などの透明導体およびポリシリコンなどの半導体材料などの半導体材料などの抵抗が十分低い材料からなる列方向配線、103は配線102と同様抵抗が十分に低い材料からなる行方向配線、104は絶縁体材料である。

【0035】図2において201は表面伝導型電子放出素子が形成されたマトリックス状配線基板200を固定したリアプレートである。ここで、リアプレートはマト

リックス状配線基板を補強する目的で設けられているため、マトリックス状配線基板が十分な強度を持つ場合は不要である。また、202は支持枠、203は蛍光体、204はフェースプレートである。

【0036】ここで、配線構造は図1に示した形状に限らず、図3b（A-A'断面図）に示す様に絶縁材料304と基板301との間に列方向配線302の幅全部と、行方向配線303と接続される補充配線302aの一部の配線が配置されていてもかまわない。また、図12に示すように基板側に配置された配線（本態様においては配線1202）が交差部において配線1202と一体になる補充配線1203aと比較して膜厚が薄い構造を有していてもかまわない。また、両方の配線が交差部において膜厚が薄い構造でもかまわない。

【0037】しかし、交差部における配線の膜厚と絶縁膜の膜厚とを合わせた膜厚が、該配線の交差部以外の配線の膜厚の0.7~1.3倍であることが好ましい。

【0038】

【実施例】

〔実施例1〕本発明による表面伝導型電子放出素子およびそれを用いた画像形成装置の第1の実施例について説明する。

【0039】図4に本実施例による表面伝導型電子放出素子の工程図を示す。

工程 a

清浄化した青板ガラス上に厚さ0.5 μm のシリコン酸化膜をスパッタ法で形成した基板401上に、真空蒸着により厚さ50の Cr 、厚さ6000の Au 、厚さ300Åの Cr を順次積層した後、ホトレジスト（AZ1370ヘキスト社製）をスピンナーにより回転塗布、バークした後、ホトマスク像を露光、現像して、列方向配線402のレジストパターンを形成し、 Au/Cr 堆積膜をウェットエッチングして、所望の形状の下配線402を形成した。

工程 b

その後、所望のパターンをホトレジスト（RD-2000N-41 日立化成社製）形成し、真空蒸着法により、厚さ50Åの Cr 、厚さ10000Åの Au を順次堆積した。ホトレジストパターンを有機溶剤で溶解し、 Au/Cr 堆積膜をリフトオフし、行方向補充配線403を形成した。

工程 c

層間絶縁層としてシリコン酸化膜を10000Å、RFスパッタにより堆積し、所望の位置にホトレジストパターンを作り、これをマスクしてエッチングして不要部分のシリコン酸化膜を取り去り、所望の形状の絶縁膜404を形成した。エッチングは CF_4 と H_2 ガスを用いたRIE（Reactive Ion Etching）法によった。

工程 d

その後、所望のパターンをホトレジスト(RD-2000N-41 日立化成社製)形成し、真空蒸着法により、厚さ500ÅのCr、厚さ3000ÅのAuを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Au/Cr堆積膜をリフトオフし、行方向配線405を形成した。

工程 e

その後、素子電極素子電極間ギャップを有するパターンをホトレジスト(RD-2000N-41 日立化成社製)形成し、真空蒸着法により、厚さ500ÅのTi、厚さ1000ÅのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間隔L1は3μmとし、素子電極幅を300μmとする素子電極406を形成した。

【0040】その後、所望の形状に膜厚1000ÅのCr膜を真空蒸着により堆積・パターニングし、その上に有機Pd(ccp4230奥野製薬(株)社製)をスピナーにより回転塗布、300℃で10分間の加熱焼成処理をした。また、こうして形成された主元素としてPdよりなる微粒子からなる電子放出部形成用薄膜の膜厚は100Å、シート抵抗値は $5 \times 10^4 \Omega/\square$ であった。なおここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは、重なり合った状態(島状も含む)の膜をさし、その粒径とは、前記状態で粒子形状が認識可能な微粒子についての径をいう。つぎに、Cr膜および焼成後の電子放出部形成用薄膜を酸エッチャントによりエッチングし、電子放出部形成用薄膜407を形成した。

【0041】以上述べたようにして、電子放出素子を形成した。このようにして作成した電子放出素子の配線表面位置の高低差が補充配線403で緩和される結果、列方向配線膜厚のみの凹凸に抑えられ、絶縁膜による凹凸は抑制できた。また、グリッドを用いないため、製法が簡略化され、大面積電子放出素子を作製しても極端な歩留まりの低下は起こらなかった。さらに、製造工程の簡略化により低コスト化出来た。また、絶縁膜段差部による行方向配線の断線が抑えられ、歩留まりが向上した。

【0042】つぎに、以上のようにして作成した電子源を用いて表示装置を構成した例を、図13と図14を用いて説明する。

【0043】以上のようにして多数の平面型表面伝導電子放出素子を作製した基板1311をリアプレート1301上に固定した後、基板1311の5mm上方に、フェースプレート1306(ガラス基板1303の内面に蛍光膜1304とメタルバック1305が形成されて構成される)を支持枠1302を介し配置し、フェースプレート1306、支持枠1302、リアプレート1301の接合部にフリットガラスを塗布し、大気中にあるいは窒素雰囲気中で400℃ないし500℃で10分以上

焼成することで封着した。またリアプレート1301への基板1311の固定もフリットガラスで行った。

【0044】図13において、1312は電子放出素子、1313、1314はそれぞれ列方向及び行方向の配線である。

【0045】蛍光膜1304は、モノクロームの場合は蛍光体のみから成る場合もあるが、本実施例では蛍光体はストライプ形状を採用し、先にブラックストライプを形成し、その間隙部に各色蛍光体を塗布し、蛍光膜1304を作製した。ブラックストライプの材料として通常良く用いられている黒鉛を主成分とする材料を用いた。

【0046】ガラス基板1303に蛍光体を塗布する方法はスラリー法を用いた。

【0047】また、蛍光膜1304の内面側には通常メタルバック1305が設けられる。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理(通常フィルムングと呼ばれる)を行い、その後、Alを真空蒸着することで作製した。

【0048】フェースプレート1306には、更に蛍光膜1304の導電性を高めるため、蛍光膜1304の外表面側に透明電極(不図示)が設けられる場合もあるが、本実施例では、メタルバックのみで十分な導電性が得られたので省略した。

【0049】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行った。

【0050】以上のようにして完成したガラス容器内の雰囲気は排気管(図示せず)を通じ真空ポンプにて排気し、十分な真空度に達した後、容器外端子DxolないしDoxmとDoylないしDoyを適し電子放出素子1312の電極1313、1314間に電圧を印加し、電子放出部を、電子放出部形成用薄膜を通电処理(フォーミング処理)することにより作成した。フォーミング処理の電圧波形を図14に示す。

【0051】図14中、T1及びT2は電圧波形のパルス幅とパルス間隔であり、本実施例ではT1を1ミリ秒、T2を10ミリ秒とし、三角波の波高値(フォーミング時のピーク電圧)は5Vとし、フォーミング処理は約 1×10^{-6} torrの真空雰囲気下で60秒間行った。

【0052】このように作成された電子放出部は、バリウム元素を主成分とする微粒子が分散配置された状態となり、その微粒子の平均粒径は30Åであった。

【0053】フォーミングを行い、電子放出部を形成し電子放出素子を作製した。

【0054】次に 10^{-6} torr程度の真空度で、不図示の排気管をガスバーナーで熱することで溶着し外周部の封止を行った。最後に封止後の真空度を維持するために、ゲッター処理を行った。これは、封止を行う直前に、高周波加熱等の加熱法により、画像形成装置内の所

定の位置(不図示)に配置されたゲッターを加熱し、蒸着膜を形成処理した。ゲッターはBa等を主成分とした。

【0055】以上のように完成した本発明の画像表示装置において、各電子放出素子には、容器外端子Dx1ないしDxm, Dy1ないしDynを通じ、走査信号及び変調信号を不図示の信号発生手段よりそれぞれ、印加することにより、電子放出させ、高圧端子Hvを通じ、メタルバック1305に数kV以上の高圧を印加し、電子ビームを加速し、蛍光膜1304に衝突させ、励起・発光させることで画像を表示した。

〔実施例2〕本発明による表面伝導型電子放出素子の第2の実施例について説明する。

【0056】図5に本実施例による表面伝導型電子放出素子の工程図を示す。

工程 a

清浄化した青板ガラス上に厚さ0.5 μ mのシリコン酸化膜をスパッタ法で形成した基板501上に、真空蒸着により厚さ50ÅのCr、厚さ10000ÅのAu、厚さ300ÅのCrを順次積層した後、ホトレジスト(AZ1370ヘキスト社製)をスピナーにより回転塗布、ベークした後、ホトマスク像を露光、現像して、列方向配線および行方向配線の一部502のレジストパターンを形成し、Cr/Au/Cr堆積膜をウェットエッチングして、所望の形状の下配線である列方向配線502及び補充配線502aを形成した。なお、列方向配線502の幅は補充配線502aよりも幅広に形成した。

工程 b

層間絶縁層としてシリコン酸化膜を10000Å、RFスパッタにより堆積し、所望の位置にホトレジストパターンを作り、これをマスクとしてエッチングして不要部分のシリコン酸化膜を取り去り、所望の形状の層間絶縁膜503を形成した。エッチングはCF₄とH₂ガスを用いたRIE(Reactive Ion Etching)法によった。

工程 c

その後、所望のパターンをホトレジスト(RD-2000N-41 日立化成社製)形成し、真空蒸着法により、厚さ50ÅのCr、厚さ3000ÅのAuを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Au/Cr堆積膜をリフトオフし、行方向配線504を形成した。

工程 d

その後、素子電極素子電極間ギャップを有するパターンをホトレジスト(RD-2000N-41 日立化成社製)形成し、真空蒸着法により、厚さ50ÅのTi、厚さ1000ÅのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間隔L1は3 μ mとし、素子電極の幅W1を300 μ mとする素子電極505を形成した。

【0057】その後、所望の形状に膜厚1000ÅのCr膜を真空蒸着により堆積・パターニングし、そのうえに有機Pd(ccp4230奥野製薬(株)社製)をスピナーにより回転塗布、300℃で10分間の加熱焼成処理をした。また、こうして形成された主元素としてPdよりなる微粒子からなる電子放出部形成用薄膜の膜厚は100Å、シート抵抗値は5 $\times 10^4 \Omega/\square$ であった。なおここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは、重なり合った状態(島状も含む)の膜をさし、その粒径とは、前記状態で粒子形状が認識可能な微粒子についての径をいう。つぎに、Cr膜および焼成後の電子放出部形成用薄膜を酸エッチャントによりエッチングし、電子放出部形成用薄膜を通電処理(フォーミング)することにより所望のパターンを有する電子放出部を含む薄膜506を形成した。

【0058】以上述べたようにして、電子放出素子を形成した。このようにして作製した電子放出素子の配線表面の位置の高低差が絶縁膜厚のみの凹凸に抑えられ、列方向配線による凹凸は抑制できた。また、グリッドを用いないため、大面積電子放出素子を作製しても極端に歩留まりの低下が起こらなかった。さらに、製造工程の簡略化により低コスト化できた。また、行方向配線の抵抗を変えず、工程(d)における配線の堆積膜厚を薄くすることができた。補充配線502aにより配線抵抗が低められたことによるものである。

〔実施例3〕本発明による表面伝導型電子放出素子の第3の実施例について説明する。

【0059】図6に本実施例による表面伝導型電子放出素子の工程図を示す。

工程 a

清浄化した青板ガラス上に厚さ0.5 μ mのシリコン酸化膜をスパッタ法で形成した基板601上に、真空蒸着により厚さ50ÅのCr、厚さ10000ÅのAu、厚さ300ÅのCrを順次積層した。ホトレジスト(AZ1370ヘキスト社製)をスピナーにより回転塗布、ベークした後、ホトマスク像を露光、現像して、列方向配線602および行方向配線の一部のレジストパターンを形成し、Cr/Au/Cr堆積膜をウェットエッチングして、所望の形状の列方向配線602及び補充配線602aを形成した。

工程 b

層間絶縁層としてシリコン酸化膜を3000Å、RFスパッタにより堆積し、所望の位置にホトレジストパターンを作り、これをマスクとしてエッチングして不要部分のシリコン酸化膜を取り去り、所望の形状の層間絶縁膜603を形成した。エッチングはCF₄とH₂ガスを用いたRIE(Reactive Ion Etching)法によった。

工程 c

その後、所望のパターンをホトレジスト(RD-2000N-41 日立化成社製)形成し、真空蒸着法により、厚さ50ÅのCr、厚さ10000ÅのAuを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Au/Cr堆積膜をリフトオフし、行方向配線604、および列方向配線の一部すなわち補充配線604aを形成した。

工程 d

その後、素子電極素子電極間ギャップを有するパターンをホトレジスト(RD-2000N-41 日立化成社製)形成し、真空蒸着法により、厚さ50ÅのTi、厚さ1000ÅのNiを順次堆積した。ホトレジストパターンを有機溶剤で溶解し、Ni/Ti堆積膜をリフトオフし、素子電極間隔L1は3μmとし、素子電極の幅W1を300μmとする素子電極605を形成した。

【0060】その後、所望の形状に膜厚1000ÅのCr膜を真空蒸着により堆積・パターンニングし、そのうえに有機Pd(ccp4230奥野製薬(株)社製)をスピンナーにより回転塗布、300℃で10分間の加熱焼成処理をした。また、こうして形成された主元素としてPdよりなる微粒子からなる電子放出部形成用薄膜の膜厚は100Å、シート抵抗値は $5 \times 10^4 \Omega/\square$ であった。なおここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接、あるいは、重なり合った状態(島状も含む)の膜をさし、その粒径とは、前記状態で粒子形状が認識可能な微粒子についての径をいう。つぎに、Cr膜および焼成後の電子放出部形成用薄膜を酸エッチャントによりエッチングし、電子放出部形成用薄膜を通电処理(フォーミング)することにより所望のパターンを有する電子放出部を含む薄膜606を形成した。

【0061】以上述べたようにして、電子放出素子を形成した。このようにして作製した電子放出素子の配線表面の位置の高低差が絶縁膜の凹凸に抑えられた。また、グリッドを用いないため、大面積電子放出素子を作製しても極端に歩留まりの低下が起こらなかった。さらに、製造プロセスの簡略化により低コスト化できた。また、列方向配線の抵抗を変えず、工程(a)における配線の堆積膜厚を薄くすることが出来た。

【0062】

【発明の効果】本発明によって、以下のような効果が認められた。

【0063】1)グリッドを用いないため、電子放出素子作製プロセスが容易になり、製造コストの低減、歩留まりの向上が計れる。

【0064】2)配線表面位置の高低差が抑えられ、素子電極、電子放出素子の形成が容易になる。

【0065】3)配線抵抗を増加させることなく、配線

形成回数を変えずに1回で堆積する配線膜厚を削減できる。このため、製造コストを低減できる。

【0066】4)配線の断線による欠陥を低減できる。

【図面の簡単な説明】

【図1】本発明の電子放出素子基板の構成を説明するための概略説明図である。

【図2】本発明の画像形成装置の構成を説明するための分解斜視図である。

【図3】本発明の電子放出素子基板の他の構成を説明するための概略説明図である。

【図4】本発明の電子放出素子基板の第1実施例を示す製造工程図である。

【図5】本発明の電子放出素子基板の第2実施例を示す製造工程図である。

【図6】本発明の電子放出素子基板の第3実施例を示す製造工程図である。

【図7】従来の電子放出素子の構成を示す平面図である。

【図8】従来の電子放出素子の構成を示す、aは平面図、bは側面図である。

【図9】従来の画像形成装置の一部切欠斜視図である。

【図10】図9の画像形成装置の側面断面図である。

【図11】図9の画像形成装置の電子放出素子基板の製造工程図である。

【図12】本発明の電子放出素子基板の他の構成を説明するための概略説明図である。

【図13】本発明の画像形成装置の一例を示す一部切欠斜視図である。

【図14】フォーミング電圧波形を示すグラフである。

【符号の説明】

101 絶縁性基板

102 列方向配線

103 行方向配線

104 絶縁材料

201 リアプレート

202 支持枠

203 蛍光体

204 フェースプレート

301 基板

302 列方向配線

303 行方向配線

304 絶縁材料

401 基板

402 列方向配線

403 補充配線

404 絶縁膜

405 行方向配線

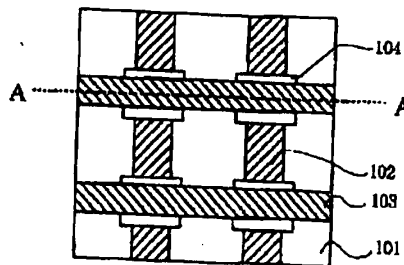
406 素子電極

407 電子放出部形成用薄膜

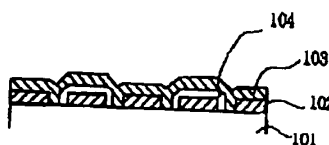
501 基板

- 502 列方向配線
- 502a 補充配線
- 503 絶縁膜
- 504 行方向配線
- 505 素子電極
- 506 電子放出部を含む薄膜
- 601 基板
- 602 列方向配線
- 602a 補充配線
- 603 絶縁膜
- 604 行方向配線
- 604a 補充配線
- 606 電子放出部を含む薄膜
- 701 絶縁性基板
- 703 電子放出部
- 704 電子放出部を含む薄膜
- 705 電子放出部を含む薄膜
- 706 電子放出部を含む薄膜
- 801 絶縁性基板
- 803 電子放出部
- 804 電子放出部を含む薄膜
- 805 素子電極
- 806 素子電極
- 901 基板
- 902 リアプレート
- 903 配線
- 904 電子放出素子
- 905 電子通過孔
- 906 変調電極
- 907 透明基板

【図1】



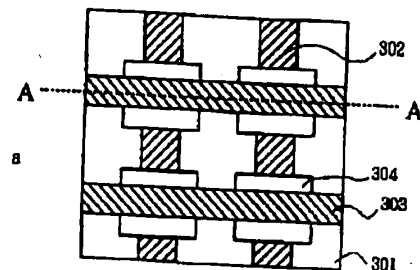
平面図



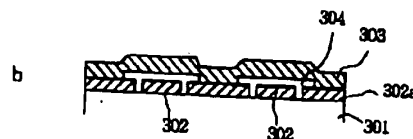
A-A'断面

- 908 蛍光体
- 909 メタルバック
- 910 フェースプレート
- 911 支持枠
- 912 画像形成装置
- 1002 素子電極
- 1003 電子放出部を含む薄膜
- 1005 絶縁膜
- 1010 ガラスフリット
- 10 1013 配線
- 1104 電子放出部形成用薄膜
- 1105 絶縁層
- 1117 レジスト
- 1118 素子電極
- 1201 絶縁性基板
- 1202 第1の配線
- 1203 第2の配線
- 1204 絶縁材料
- 1301 平面型表面伝導電子放出素子を作製した基
20 板
- 1302 支持枠
- 1303 ガラス基板
- 1304 蛍光膜
- 1305 メタルバック
- 1306 フェースプレート
- 1308 画像形成装置
- 1311 基板
- 1312 電子放出素子
- 1313 列方向配線
- 30 1314 行方向配線

【図3】

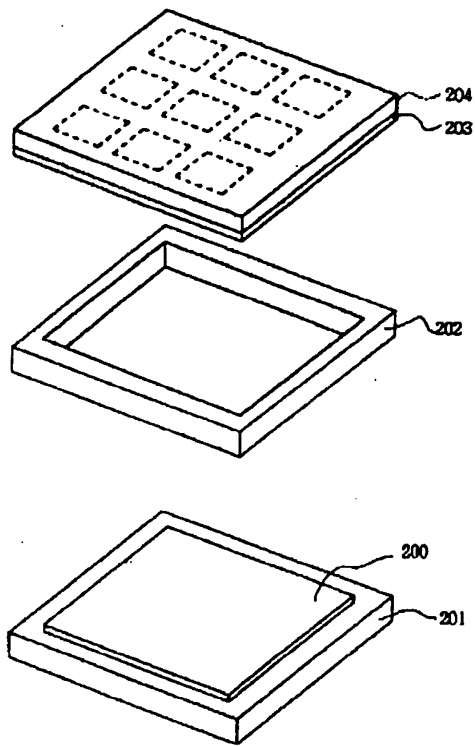


平面図

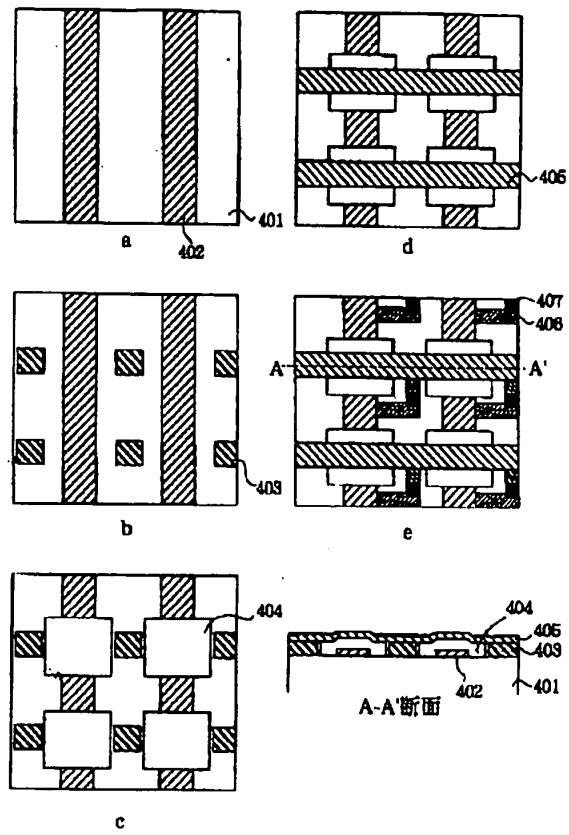


A-A'断面

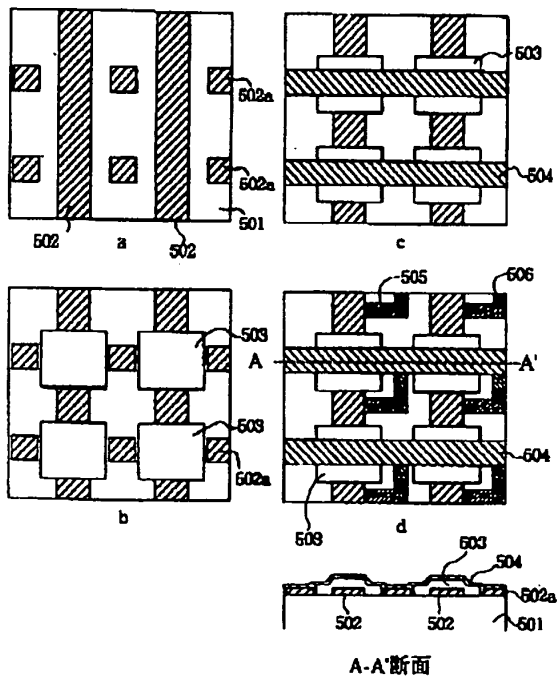
【図2】



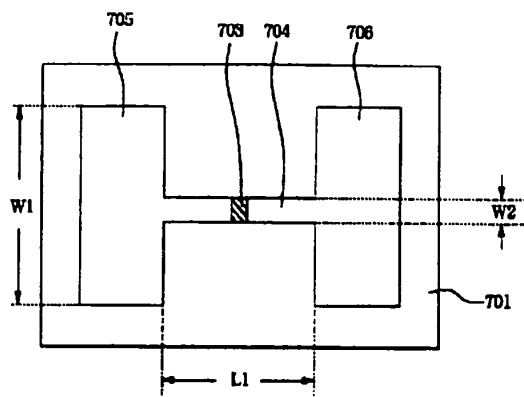
【図4】



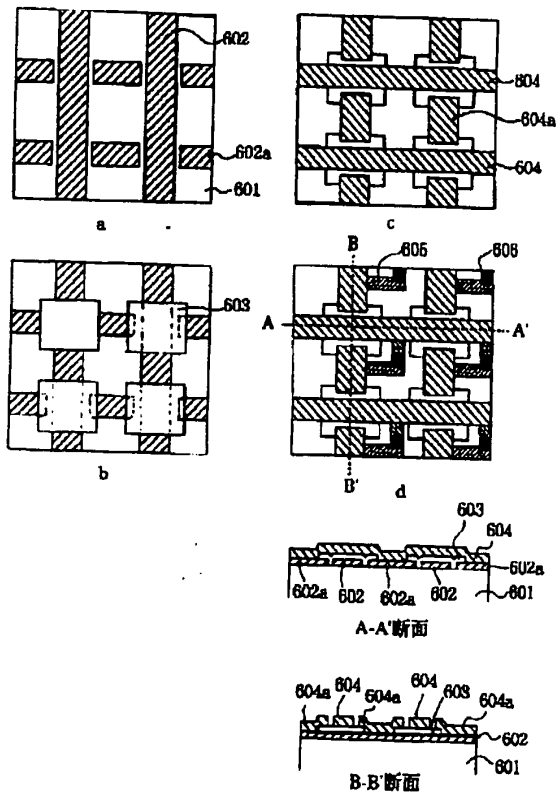
【図5】



【図7】

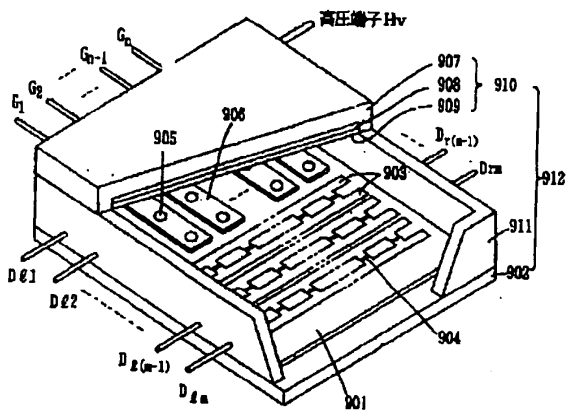


【図6】

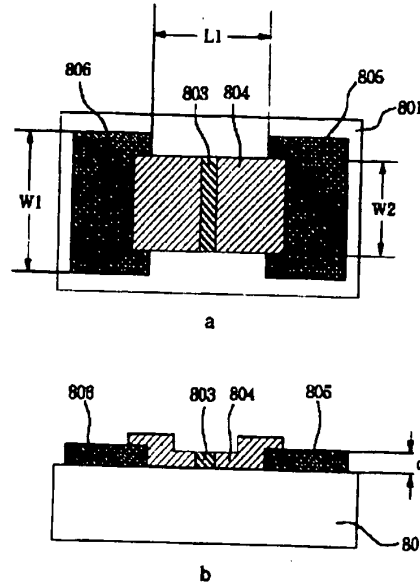


【図9】

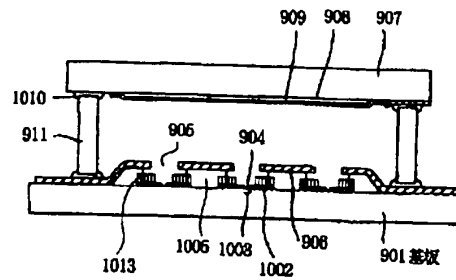
グリッド



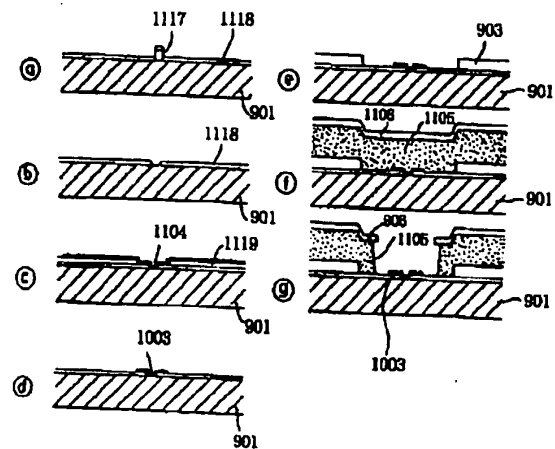
【図8】



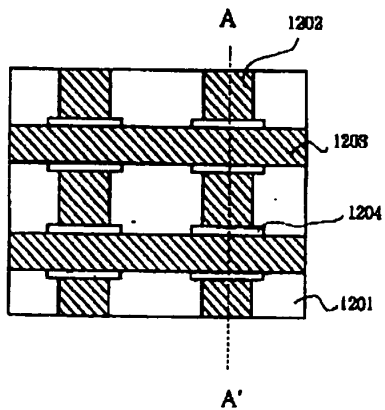
【図10】



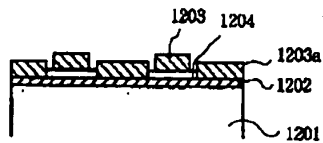
【図11】



【図12】

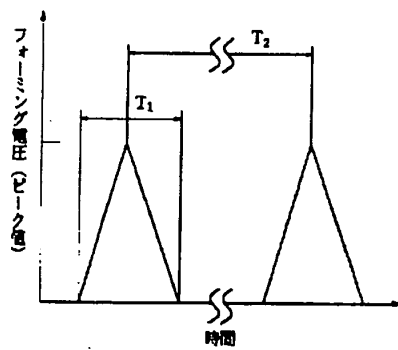


平面図

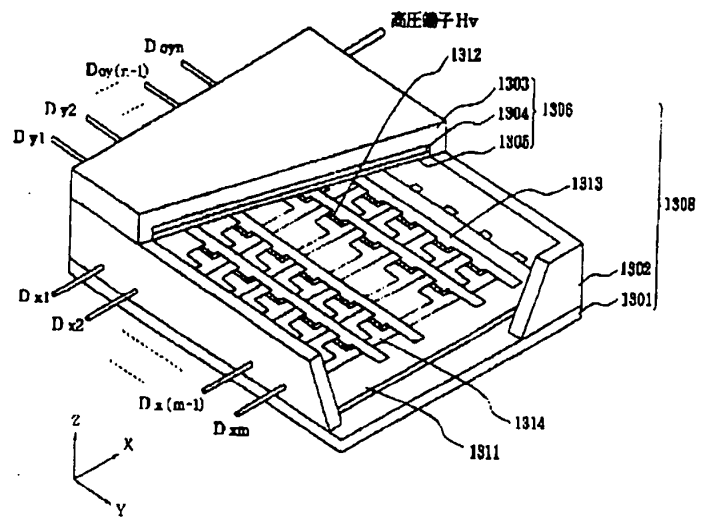


A-A'断面図

【図14】



【図13】



THIS PAGE BLANK (USPTO)